

マイクロ接合実装品（設計編）

— 高密度実装のための設計技術 —*

森 裕幸**, 葛野 正典**, 石田 光也**



森 裕幸



葛野 正典



石田 光也

Micro Joining Package (Design)

— Design Technology for High Density Packaging —*

by MORI Hiroyuki**, KUZUNO Masanori** and ISHIDA Mitsuya**

キーワード 半導体, フリップチップ, 実装, パッケージ, インターポーザ基板, コアレス基板, 設計, 構造解析

1. はじめに

モバイル電子機器等の高機能化, 高速化が進むに伴い, 実装される半導体デバイスへの高性能化, 小型化が求められてきている。マイクロプロセッサや ASIC (Application Specific Integrated Circuit) 等の半導体デバイスでは, チップの接続技術としてワイヤボンドを用いた接続方法に加え, チップをインターポーザ基板に直接接続するフリップチップ実装が多く採用されている。その背景としては主に以下の2点が挙げられる。

チップとインターポーザ基板の接続長が $80\mu\text{m}$ 程度以下と短く, 特性インピーダンス不連続等に起因する信号伝送特性劣化が少ない。また, 電源配線ではインダクタンスが小さくなる事もあり, 優れた電気的特性が得られる。

同様にチップとインターポーザ基板の接続高さが短いのでコンポーネントの高さを低く抑えることができ, 軽薄短小のニーズに応えることができる。

一方, フリップチップ実装を前提としたインターポーザ基板の設計は難しく, チップが搭載される領域の配線パターンによってはチップ接続部の信頼性低下, チップ実装工程での歩留まり低下などの問題が発生することが分かっている。

本稿ではフリップチップ実装に注目し, 接続方式・構造について例を示す。次に典型的なインターポーザ基板設計フローを示し設計上の重要部分を説明する。また, インターポーザ基板の具体的な設計例としてチップを実装するパッドと, そこからの配線引き出し設計について述べる。

有限要素法 (Finite Element Method, FEM) 等を用いた構造解析は, 開発段階においてチップの接続信頼性や実装歩留まりの予測において欠かすことのできない技術である。しかし, 微細な配線がされたインターポーザ基板を含むパッケージ全体を詳細解析することは容易ではない。本稿ではこの問題を回避するための手法としてマルチスケール解析の例を挙げ, チップ接続部分に着目した解析アプローチを紹介する。

2. パッケージおよびチップ接続部の構造

図2-1に本稿で前提とするパッケージの構造を示す。有機材料を用いたインターポーザ基板の上面にチップ

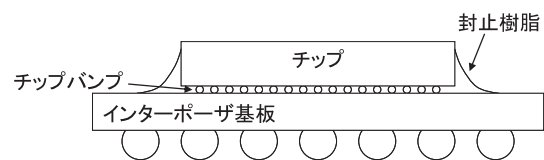
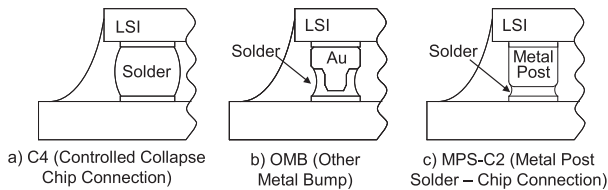


図2-1 想定パッケージ断面構造

*原稿受付 平成23年7月8日
** 日本アイ・ビー・エム(株)システム・テクノロジー開発製造
実装技術ソリューション開発 IBM

マウント & リフロー方式



加圧加熱接合方式

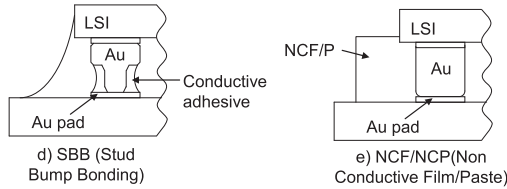


図 2-2 チップ接続の方式および構造

がフリップチップ実装され、BGA はんだボールの外部端子が下面にアレイ状に搭載される。チップとインターポーザ基板の間には有機材料の封止樹脂が注入され、チップ接続部の補強をしている。

図 2-2 にインターポーザ基板に対するチップ実装方式および接続構造の例を示す。

実装方式としては一般的な表面実装部品と同様にマウンターによるチップを基板上に搭載し一括リフローを行うマウント&リフロー方式、およびチップをボンダーによってインターポーザ基板に加圧・加熱し接続を形成する加圧加熱接続方式に大別される。

マウント&リフロー用のインターポーザ基板設計では、リフロー加熱時のチップ搭載領域における基板の反りを考慮しなければならない。反りが大きい場合にはチップと基板のはんだ接続が形成できず、いわゆる Non-Wet と呼ばれるぬれ不良を起こす。通常、許容できる基板の反り量はバンプ高さのばらつきやリフロー中に溶融するはんだ量によってきまる。C4 のようにはんだバンプ全体が溶融する構造は、一般的に反り許容量が多く、大型チップや多層基板のように基板の反り変形が複雑なものには有利である。一方、加圧加熱接合方式では、ボンダーがチップを加圧する際に基板の反りを矯正するため反りはそれほど大きな問題とならない。

3. 設計フロー

半導体デバイスの中でもパッケージの構造やチップの接続方式、インターポーザ基板の設計ルールなどが統一され、パッケージ設計フローが設計手法 (Design Methodology) として認定されている場合がある。この場合、通常半導体デバイスの世代ごとに行われるパッケージの技術開発段階で、実装工程への影響を含む様々な設計要素の最適化がなされており、設計者はパッケージの基本構造を用意されたメニューの中から選択することで、設計段階においてこれら設計要素を意識すること無く製品設計に注力することができるようになっている。一方、チップのバンプレイアウトやパッケージ構造が目的に合わせて変更されるようなカスタム製品の場合は上述の設計手法は使えない。本稿ではむしろこの様なカス

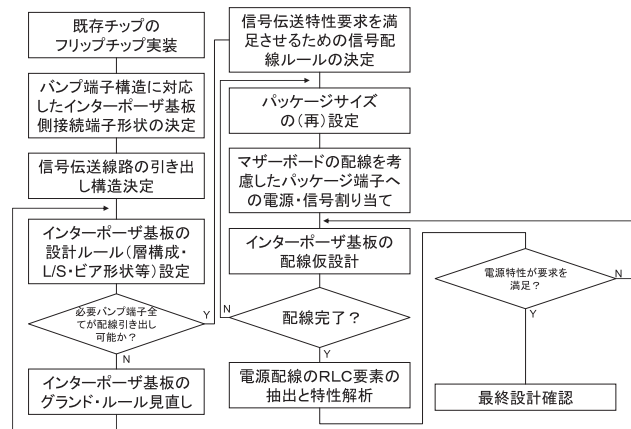


図 3-1 インターポーザ基板の設計フローの例

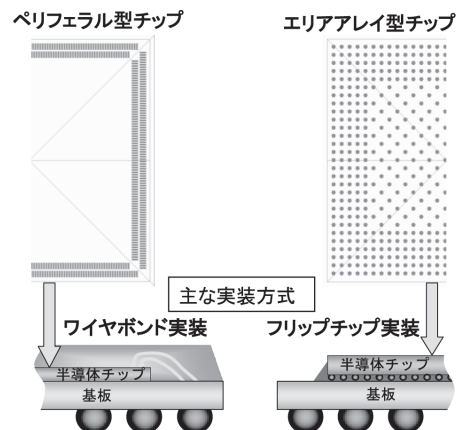


図 3-2 エリアアレイ型とペリフェラル型

タム品を想定した設計を例として解説を行う。

フリップチップ実装を前提としたインターポーザ基板の設計には、新規チップ向けの設計と既存チップに対するものの二種類がある。新規チップの場合の設計では、チップ設計の段階でインターポーザ基板の設計ルールや配線の都合を考慮したバンプ配列の検討や信号・電源割り当てをする事が可能であり、より最適な製品設計を行うことができる。一方、既存チップにおいてはその様な配慮がなされていない場合があり、インターポーザ基板の導体層数の増加や局所的に高密度な設計ルールを用いざるを得ない場合がある。

図 3-1 は、既存チップをフリップチップ実装とした場合のインターポーザ基板の設計フローの例である。上述の様に配線設計のために基板の設計ルールを見直さなければならない場合があり、そのためのループが組まれている点が特徴である。

チップ接続構造に対応したインターポーザ基板側の端子形状の検討段階では、基板のグラウンド・ルールの制限だけではなく、後述するような構造解析を用い、接続部のひずみやバンプ直下にある Low-k 層へ与える応力も考慮されなければならない。

配線の引き出し (ファンアウト) 構造を検討する際、チップ端子がチップ全体に配置されているエリアアレイ型か外周に配置されているペリフェラル型か (図 3-2) によって、インターポーザ基板に必要とされる導体層数や

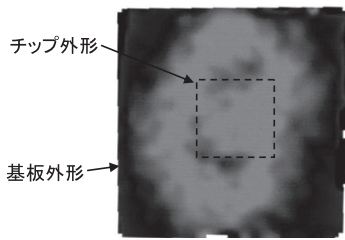


図 3-3 インターポーザ基板のチップ領域の反り

チップ接続端子近傍の最も配線密度の高い部分の配線ルールの考え方が大きく異なる。この部分に関しては本稿第5章で具体的な例を用い説明を行う。

チップ搭載領域の配線ルールおよび層構成の決定がなされた後は、信号配線に対する電気的な特性要求を満足させるための配線線幅や線間間隙等を決める。一般にこの段階では二次元の電磁界シミュレータや回路解析ツールを使って伝送線路の特性インピーダンス、信号間の漏話（クロストーク）の検証や挿入損失・反射損失が許容内に収まるかどうかを確認する。この作業は信号の配線長の見積もりが必要となるため、パッケージ外形寸法の検討や外部端子の信号・電源割り当てと並行して実施される場合が多い。

インターポーザ基板の反りを抑えるため、基板の配線段階でパターンの残留銅の表裏バランスが考慮される。図2-1に示すようなパッケージにおけるインターポーザ基板の配線は、一般にチップ搭載面かつチップに近い領域ほど配線銅の残留量が少ない傾向となる。これは、信号配線がチップ付近に密集している事が原因である。結果として、チップ搭載領域は周囲より相対的に熱膨張係数（Coefficient of thermal expansion, CTE）が大きくなり、加熱時には局所的に凸状に変形する。図3-3は実際の基板単体の反り計測例である。チップが搭載される領域の外形（図の点線部分）近傍にある濃い色部分は周囲よりも盛り上がりしており、エリアレイ型のバンプ並びのチップの場合ぬれ不良を起こす原因になる。設計ではこの様な反りを抑えるため、インターポーザ基板裏面の該当部分の残留銅を少なくして、表裏のバランスをとることがある。

4. チップバンプ接続部近傍の問題点と構造解析

従来、構造解析によるパッケージの信頼性評価の対象は、実装信頼性検討のためのパッケージ反り評価、はんだ接続信頼性のためのはんだ歪み評価が主要なテーマであった。しかし、45 nm 以降の半導体世代では上記に加え、チップ内の Low-k 層あるいは Ultra low-k (ULK) 層への機械的な応力評価が追加されるようになってきた。これはチップ配線の絶縁層に用いられる材料の実効誘電率を下げるため、ポーラス状の絶縁構造を導入したことによる機械的な強度低下が発端となっており、CPI (Chip Package Interaction) 課題として議論されている。

図3-1のインターポーザ基板の設計の初期段階でチップ接続端子形状を決定する。その際、端子形状に合わせて

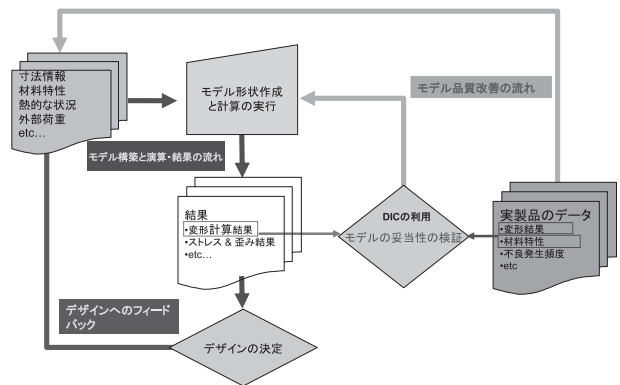


図 4-1 構造解析とモデル品質改良の流れ

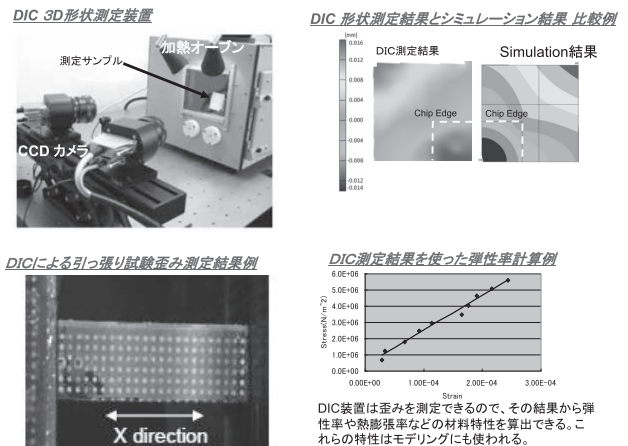


図 4-2 DIC による三次元形状測定

接続部構造全体の形状や使用するはんだ材料を考慮し、Low-k 層へ働く応力を構造解析によって推定する。ここではその解析手法を紹介する。

4.1 解析と信頼性改善の流れ

精度の高い解析結果を得るためにはモデリングによって如何に現実を再現するかが重要である。モデリングでは正しい物理形状および材料特性を入力することが必要であり、かつ、計算結果が実現象を精度良く再現しているかを確認することも不可欠である。その検証には実現象を精度良く測定することが求められる。図4-1は構造解析作業とモデル品質の改良の流れである。計算されたモデルの妥当性を検証するため、実測との比較検討を行う。

精度の良い計測技術としては、DIC (Digital Image Correlation) 手法と呼ばれる3次元形状測定がある⁴⁾。

DICは図4-2のように二台のCCDカメラと画像処理を行うコンピュータによって構成される。温度変化や荷重変化に対して、非接触に高精度で測定できるメリットがある。測定結果として詳細な変形形状寸法が得られ、そこから歪みが計算される。測定時の荷重条件や温度条件を加えることで、弾性率や熱膨張率などの材料特性の算出も可能である。

モデルの変形結果と実測による変形形状結果が一致するまで、モデルの初期形状と入力する材料特性を最適化して精度の良いモデルを完成させる。製品の設計ではこのモデルを利用して、バンプ接続構造におけるインターポーザ基板側の接続端子形状、チップ側のUBM (Under

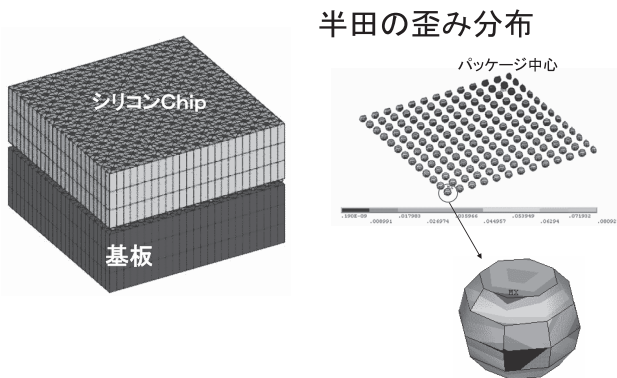
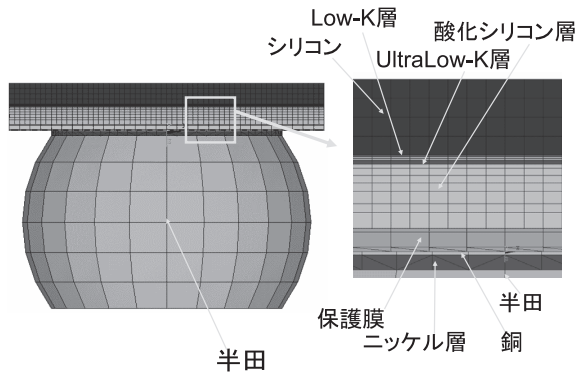


図 4-3 基板とチップ接続のマクロモデル



半田接合部マイクロモデル

図 4-4 はんだ接合部マイクロモデル

Bump Metallization) 形状や使用材料などの設計変数を変えてはんだ歪みや Low-k 層への応力を評価関数として最適化し、実製品に適用する。

4.2 マルチスケール解析

パッケージの構造はチップ内や基板内の配線構造まで考慮すると非常に微細で複雑である。これらを含めて解析モデルを構築し、計算させるのは時間や計算コストの点で現実的ではない。この問題を解決するため、微細な構造部分の解析に対して、階層的に解析を行うマルチスケール解析が一般的になってきている。次に Low-k 層における応力解析にマルチスケール解析手法を適用した例を示す。

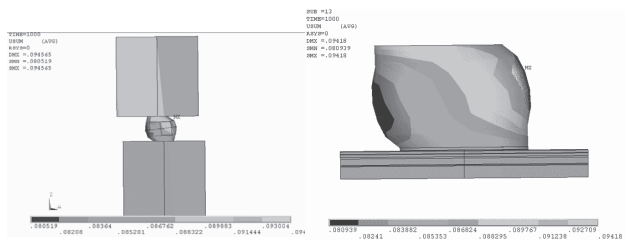
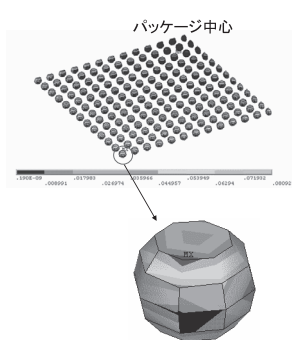
4.3 Low-k 層の応力解析の例

チップにおける Low-k 層の破壊はチップ実装のリフロー後半の冷却工程で発生する。構造解析では、冷却時に Low-k 層に作用する応力をマルチスケール解析により計算した。

最初のステップとして、図 4-3 に示すチップと微細配線の無い均一材料を仮定した基板のはんだ接続モデルを作成する。このモデルはマクロモデルと呼ばれ、入力される基板の材料特性として、基板の配線銅と絶縁材料の特性から算出したものを用いたり⁹⁾、DIC で実測した特性を入力する場合がある⁹⁾。

次に、図 4-4 の様なはんだ接合部分の Low-k 層を含むモデルを、前述のマクロモデルの座標系上の解析を行いたいのはんだ接合部分に相当する位置に作成する。このモデルはマイクロモデルと呼ばれ、この形状の上下面およ

半田の歪み分布

マクロモデル計算結果のChip
コーナーの半田接続部分の変形

マイクロモデルの変形結果

図 4-5 マイクロモデルの形状計算結果

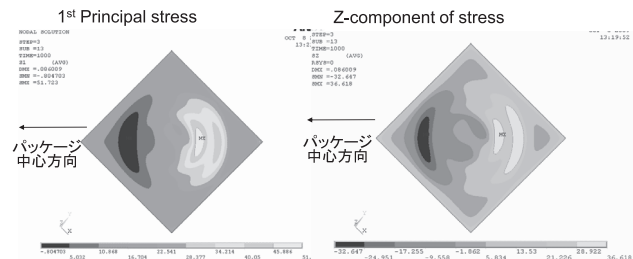


図 4-6 UBM 近傍の第 1 主応力および Z 成分応力

びはんだ表面を除く側面を切断境界とし、その境界面上の節点の変移量をマクロモデルの結果から拘束条件として読み出し、マイクロモデルの節点に適用した上でマクロモデルと同一の温度加重条件で計算する。

計算の結果、図 4-5 のようなマクロモデルと同様な変形形状が再現され、接続構造のはんだ歪みから接続信頼性寿命のインデックスが得られる。

図 4-6 は同計算から得られる Low-k 層における応力分布であり、CPI による Low-k 層破壊の危険度を定量的に考察する上で重要なデータとなる。

以上のように、マクロモデルにより比較的単純で大規模な形状の計算結果を用い、着目する構造を含有する微小構造部分を切り出し、マイクロモデルとして計算するマルチスケール解析手法は、解析結果の良好な精度と解析時間の短縮の観点で広く活用されている⁷⁾。

5. フリップチップのファンアウト設計

ここでは、図 3-1 で紹介したインターポーザ基板の設計フローのなかで、チップ端子との接続パッドおよびチップからの信号配線のファンアウトに焦点を当て、エリアアレイ型とペリフェラル型チップに対応する基板設計手法を、具体的な設計ルールも含めて紹介する。

5.1 エリアアレイ型チップ

エリアアレイ型の端子配列をもつチップでは、一般に中心部にある端子には電源やグランドが割り当てられ、信号はチップ外側の端子に割り当てられることが多い。これはチップ内部への安定した電源供給の目的と、チップの中心部にある端子からの信号線のファンアウトが困難になる場合があることが大きな理由である。

図 5-1 に端子ピッチが $200\mu\text{m}$ のエリアアレイ型チップからのファンアウトのイメージと配線ルールの一例を示す。 $200\mu\text{m}$ ピッチの場合、これを受ける基板側の接続端子のパッドサイズは $100\mu\text{m}$ を用いる。ここでパッドサ

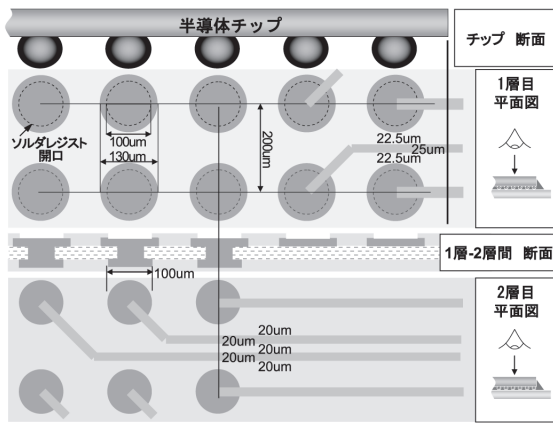


図 5-1 エリアレイ型からのファンアウト

イズはソルダレジスト（はんだ保護膜）の開口径である。基板設計の際は、このソルダレジストが一層目のメタル（銅）パッド径に対して位置ずれをおこしても $100\mu\text{m}$ の真円のメタルパッドが得られるように、片側 $15\mu\text{m}$ の公差を考慮して $130\mu\text{m}$ 径の銅パッドを配置する。端子ピッチ $200\mu\text{m}$ に対して銅パッドが $130\mu\text{m}$ 径であるので、端子パッド間スペースは $70\mu\text{m}$ となる。

このスペースに配線幅／配線間距離を $25\mu\text{m}/22.5\mu\text{m}$ と設定すれば、一本の信号をファンアウトすることができる。このルールを適用することで、基板一層目でチップ端から二列目の端子までの信号をファンアウト可能である。

三列目からは接続端子用パッドから直接層間接続ビアを使って二層目に移動し、そこでファンアウトを行う。ビアのランド径 $100\mu\text{m}$ を使用すると、配線幅／配線間距離を $20\mu\text{m}/20\mu\text{m}$ と設定すれば、二層目でさらに三列分の信号をファンアウトすることができる。合計するとこの例では二層で五列分のファンアウトが可能となる。

近年の急激な半導体テクノロジーの進歩によりチップサイズが小型化している反面、端子数は増加していることから、信号列数はチップ中心に向かって深くなり、ファンアウトのために基板層数が増える傾向にある。またフリップチップ接続構造はワイヤボンドよりも電源・信号品質の劣化が少なく、従来から高速信号を扱う高性能製品で多く利用されているが、このような製品では信号品質を確保するため層間の信号干渉であるクロストークの防止や信号配線の特性インピーダンス整合を考慮する必要がある。この場合、一層目と三層目に信号を配線し、二層目と四層目にグランドや電源パターンを配置するといった手段をとるが、ファンアウトに必要な層数は上記解説の2倍になる。このような理由により、エリアレイ型チップをフリップチップ実装するには多層のビルドアップ基板が必要とされ、量産されている半導体パッケージ用基板としては片側7層、合計が20層に近いものもある。この多層ビルドアップ基板のコストがパッケージコスト全体のかなりの割合を占め、フリップチップパッケージが高コストと言われる要因ともなっている。

5.2 ペリフェラル型チップ

上述した多層ビルドアップ基板を用いたエリアレイ型フリップチップは、その高コスト構造により、低コス

ト化の要求が厳しいデジタル家電などの分野では採用が進まなかった。ところが近年この分野では機器の小型化および高機能化に伴い、複数チップ、例えばアプリケーション・プロセッサとメモリを実装技術により一個のパッケージに実装する SiP (System in Package) 化が進み、その実現手段の一つとしてフリップチップ実装の採用が進んでいる。

この分野の半導体はワイヤボンド実装技術を用いたパッケージが主流であったため、それに対応したチップ設計のライブラリが豊富に存在していること、また、同一チップを適用するパッケージを変えることで複数の機器に対応させるなどの理由から、チップ周辺（ペリフェラル）に端子が配置されているワイヤボンド対応チップをフリップチップ実装する需要があり、日本を中心に実装技術が開発されてきた。

ペリフェラル型チップは従来ワイヤボンド実装に対応してチップの周辺部のみに端子の配列がなされており、逆にエリアレイ型と比べると端子は狭ピッチである。現在の量産でのエリアレイ型での端子ピッチは $150\mu\text{m}$ が主流であるが、ペリフェラル型の小型携帯機器向けのアプリケーション・プロセッサなどは最小端子ピッチは $40\mu\text{m}$ （2列千鳥の場合、ピッチは1列換算で $20\mu\text{m}$ となる）を切るところまできている⁹⁾。

このようなチップをフリップチップ実装するには狭ピッチに対応した設計・実装が求められる。一般に、端子間隔が狭いということは、エリアレイ型と比較して接続のために形成される bumps や基板側のパッド形状も小さいということであり、また、チップと基板との間隔も狭くなることからチップへの bumps 形成・基板側への予備はんだ・接合後の樹脂封止など、それぞれの製造プロセスにおいてエリアレイ型とは異なる課題が存在する。

図2-2に示したように、実装技術としてはチップに金スタッド bumps を形成し基板側に予備はんだを施して熱圧着によって接合を行う工法⁹⁾や、他の表面実装部品と同様の実装プロセスであるマウント&リフローを実現し、かつ基板側に予備半田を必要としない C2 (MPS-C2 と呼ぶ) 工法¹⁰⁾などがある。ここではペリフェラル型チップとして C2 実装技術に対応した基板の設計ルールについて紹介する。

ペリフェラル型ではその端子がチップ周囲に一列で配置されている場合は、配線幅／配線間距離は端子ピッチによって決定されるため、信号ファンアウトに関してエリアレイのように必ずしも二層目を利用する必要はない。しかし、チップサイズに対して取得することのできる端子数を増やすために端子を二列千鳥配置にすることが多くなってきている。図5-2にこの場合のファンアウトイメージと配線ルールの一例を示す。

二列のうちチップ外側の端子列からのファンアウトは一層目でそのまま引き出すことができるが、内側の端子列から信号をファンアウトしようとするときビアを用いて下層で配線することが必須となる。この部分に非常に高密度配線が要求されないようにするには、内側の端子には電源やグランド端子を配して、配線やビアを共通化させる必要がある。

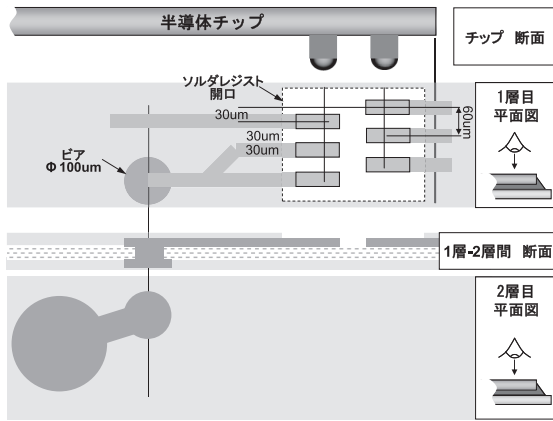


図 5-2 ペリフェラル型からのファンアウト

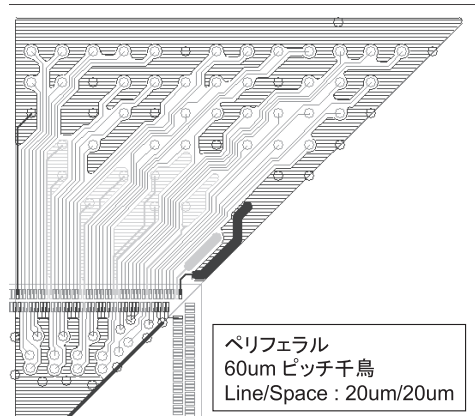


図 5-4 2層基板設計検討例 (Chip Side)

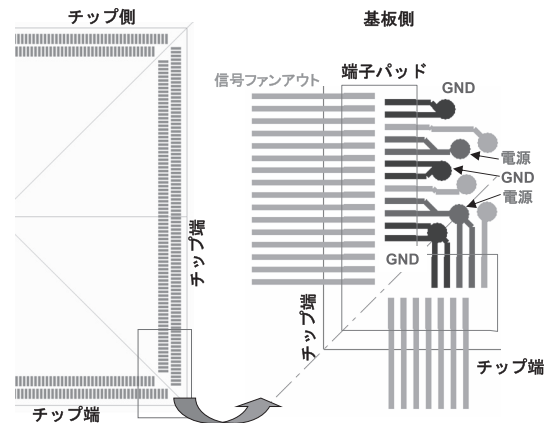


図 5-3 ペリフェラル型のファンアウトイメージ

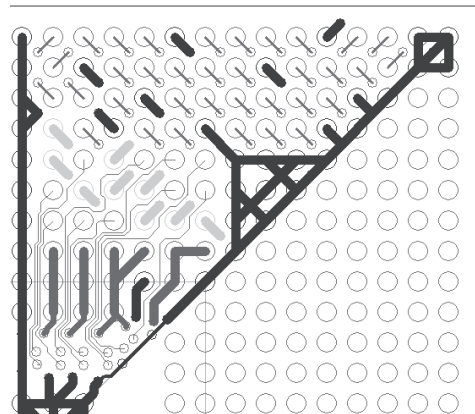


図 5-5 2層基板設計検討例 (BGA Side)

図 5-3 に二列千鳥の端子を持つペリフェラル型チップのイメージとそのコーナー部分について、内側の配線をイメージしたものを示す。

このような配線を行うことで、ペリフェラル型フリップチップでは配線幅が端子ピッチによってほぼ一義的に決まってしまう反面、信号ファンアウトに対して多層基板が要求されない。図 5-2 や図 5-3 のケースでは 1+2+1 の 4 層基板で配線を実現できることができ、信号数や端子配列によっては 2 層基板での対応も可能である。図 5-4、図 5-5 は 2 層基板での設計検討を行った例である。

5.3 ソルダレジスト設計

フリップチップ実装において、ソルダレジストは重要な役割を果たす。図 5-6 にエアアレイ型とペリフェラル型それぞれで要求されるソルダレジスト開口のイメージをまとめた。

エアアレイ型の場合、接続端子パッドごとにソルダレジスト開口をもつためその位置精度が非常に重要である。

一方、ペリフェラル型で 50µm 端子ピッチの場合、パッド幅はその半分の 25µm となるが、現在の基板製造においてこの細いパッド個別にソルダレジスト開口を形成することは困難である。そのため、ペリフェラル型チップの実装では一列分のパッドを一括して開口するスリット開口と呼ばれる形態に対応する必要がある。この点は実装プロセス側には課題のひとつとなるが、逆に基板製造の観点では個別開口の精度が要求されない点がメリットとなる。

	接続部イメージ	ソルダレジスト開口部
エアアレイ		
ペリフェラル		

図 5-6 ソルダレジスト開口

6. 今後の課題

モバイル電子機器の普及にとともに、より薄いパッケージの開発が求められおり、その解決手段の一つにインターポーザ基板としてコア基材をもたないビルドアップ配線板、いわゆるコアレス基板の導入がある。現在の多くのフリップチップ用インターポーザ基板は、コア基材としてガラスクロスを含む銅張積層板を用い、その両面に絶縁フィルムの積層と銅メッキによる回路形成を行い製造される。コアレス基板はこのコア材が無く、薄い配線板が実現できる反面、基板が反り易くフリップチップ実装上の障害となっている。

第 3 章で述べたように、これまでのインターポーザ基板の設計では表裏の残留銅のバランスをとることで基板反りに対応している。しかし、コアレス基板では導体層

数が奇数の場合や、そもそも基板構造として表裏非対称構造の基板も製造されており、これまでの対称構造基板を前提とした単純な残留銅のバランスによる設計手法では対応できない。インターポーザ基板の仮配線の段階で配線パターンを構造解析システムに取り込み反りを予測する事は技術的に可能であるが、解析時間や作業効率の上では問題となる。

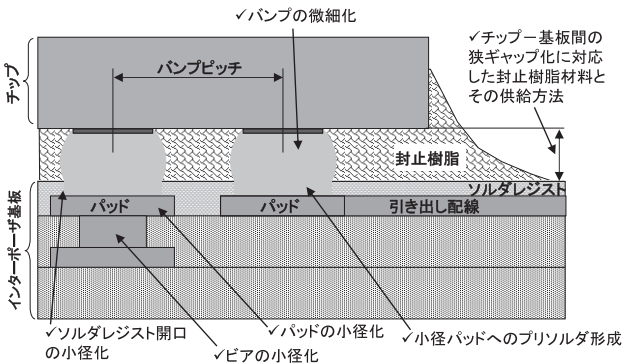


図 6-1 狭ピッチ化への課題

非対称構造のインターポーザ基板に対応し、かつ設計の作業効率を高めるためには、基板のパターン設計システムに構造解析の機能が組み込まれ、基板全体的な解析に加え、局所的な反り予測を効率的に行う設計環境の開発が必要になると考える。併せて解析結果を基に反り抑制の指針をシステム上でパターン設計技術者へガイドするといったユーザーインターフェースも必要となる。

また、今後の半導体技術の進化に伴い、実装端子の狭ピッチ化の要求がますます強くなっていく。第5章ではパッドおよびファンアウト部分の基板設計について述べたが、狭ピッチの実現には、パッドおよび設計ルールを微細化すればよいだけでなく、図6-1に示すような様々な技術課題が存在する。コアレス基板はコア層のドリルが不要な分、設計自由度を高められることから期待できる技術であるが、図6-1に示す課題全てを克服するためには、個々の分野だけではなく、材料・装置・基板・設計・実装などの分野で協力して開発を進めていく必要性

がある。この観点から、今後はパッケージ技術開発の領域にも半導体技術と同様な共同開発モデルが進んでいくのではないかと考えている。

参考文献

- 1) Y. Tsukada, et al.: Reliability and stress analysis of encapsulated flip chip joint on epoxy base printed circuit board, Proceedings of the 1992 Joint ASME/JSME Conference on Electronic Packaging, Part 2 (of 2), (1992), 827-835.
- 2) Y. Tsukada, et al.: Design and electrical performance of surface laminar circuit/flip chip attach packaging technology, Proceedings of the 1993 International Electronics Packaging Conference, (1993), 1111-1119.
- 3) K. Yamanaka, et al.: High performance ball grid array utilizing flip chip bonding on buildup printed circuit board, Proceedings of the 1997 21st IEEE/CPMT International Electronics Manufacturing Technology (IEMT) Symposium, (1997), 369-375.
- 4) 岡本圭司, 葛野正典, 西尾俊彦: Digital Image Correlation 法を用いた 3次元熱変形計測, 実装技術ガイドブック2006,電子材料, 株式会社工業調査会, (2006), 133-136.
- 5) M. Kuzuno, H. Noma, T. Nishio: Material Modeling of Interposer Card for Package-on-Package, Proceedings of ICEP2008 Jun10-21 Tokyo, Japan, (2008), 109-114.
- 6) 葛野正典, 西尾俊彦, 岡本圭司: DIC 計測装置を用いた解析精度向上へのアプローチ, CAEのあるものづくり Vol.12, サイバネットシステム, (2010), 12-14.
- 7) 寺田賢二郎: マルチスケール CAE~数値材料試験のススメ~, CAEのあるものづくり Vol.5, サイバネットシステム, (2006), 9-10.
- 8) International Technology Roadmap for Semiconductors: International Technology Roadmap for Semiconductors 2007 Edition Assembly and Packaging, (2007).
- 9) Y. Yoneda, et al.: A Novel Flip Chip Bonding Technology Using Au Stud Bump and Lead-Free Solder, Pan Pacific Microelectronics Symposium. Proceedings of Technical Program, (1999), 147-152.
- 10) Y. Orii, K. Toriyama, Y. Oyama, and T. Nishio: Ultrathin SiP/PoP Technologies using 50 μ m pitch C4 interconnections, Proceedings of the International Conference on Electronics Packaging, Apr. 2007, (2007), 66-71.