

# マイクロ接合実装品（プロセス・施工編）\*



梶原良一\*\*

Micro-Joining Package (Process & construction)\*

by KAJIWARA Ryoichi\*\*

**キーワード** マイクロ接合, 3次元実装, チップ積層, フリップチップ積層, SiP, 貫通電極, 超音波接合, 液相拡散接合, アンダーフィル

## 1. はじめに

情報処理装置や携帯機器に代表される高性能電子機器は、扱う情報量が爆発的に増大する状況にあり、機能面での高速・高機能化と合わせて小型軽量・低消費電力化が強く求められている。これを実現するハードウェアとして、コアデバイスである半導体 LSI (Large Scale Integration) は素子の微細化によって高集積・高性能化が進められてきたが、その LSI の最高性能を引き出してシステム化する実装技術が電子機器性能を向上する上で重要となっている。従来の実装技術は、完成した LSI チップを配線基板に平面的に配置してシステム化する技術で、LSI チップをパッケージにして実装する形態が主流であった。これに対して近年では、配線長の短縮や機器の小型化を目的に、LSI チップを 3 次元的に配置した実装製品：SiP (System in Package) の実用化<sup>1)</sup>が進んでいる。ここでは SiP の実装形態の中で、LSI チップに貫通電極を形成して多段に積層し、最短距離で接続する 3 次元チップ積層実装方式について概説する。技術内容は、1999~2004年に超先端電子技術開発機構 (ASET: Association of Super-advanced Electronics Technologies) で開発されたもの<sup>2-7)</sup>である。

## 2. 製品と工法

図1は各社・機関で提案された SiP の 3 次元実装形態を示す。チップ外接型<sup>8)</sup>にはパッケージ積層型とチップ積層型があり、前者には (1) テープ基板の薄型パッケージとチップエリアを開口し Cu で埋めたビア (層間接続用めっき穴) 付きガラスエポキシ基板を半硬化状態の樹脂シー

トで接着積層し、真空中で熱圧着した構造<sup>9)</sup>、(2) ドーナツ状の薄型基板に 2 チップをワイヤボンディングし樹脂封止したものを周辺部で垂直に半田接続し積層一体化した構造、(3) バンプ付きチップを樹脂封止した表面にメタライズ配線を形成し、これを積層して側面を研磨しメタライズ配線した構造などがある。チップ積層型は、(4) BGA (Ball Grid Array) 基板上に電極パッドが見える状態で複数チップを樹脂接着で積層し、ワイヤボンディングで結線して樹脂封止した構造、(5) Si インターポーザ基板に貫通電極を形成した複数のチップを積層し、電極上に形成した微細バンプでチップ間を接続してチップ間と側面を樹脂封止した構造<sup>10)</sup>などがある。ウエハ積層型は、(6) 埋め込み配線 (ビア) を有するウエハを支持体に貼付け、裏面研削と CMP (Chemical Mechanical Polishing) により貫通電極を形成してウエハ間の Face to Face 接合する工程を繰り返して積層した構造<sup>11)</sup>である。最も小型で配線長が短く高速動作に向く実装形態は、貫通電極を形成したチップあるいはウエハ積層型であるが、特性検査で良品のみのチップを積層できるため組立歩留まりを高くできる点やサイズの異なるチップを積層できる点でチップ積層型の方が利点が多いと考えられる。

図2は ASET で開発を目指した 3 次元チップ積層モジュールイメージ<sup>9)</sup>と概略仕様を示す。配線長の短縮と実装高さを抑えるためチップ厚さ 50 $\mu\text{m}$  で、接続ピッチは超多ピン接続に対応するため 20 $\mu\text{m}$  ピッチで設計し、貫通電極の材質は電気特性の点で Cu を選択している。図3は、試作した 4 チップ積層モジュールの外観と内部の貫通電極構造、電極接続部の断面構造を示す。図4にこのモジュールを組み立てるためのプロセスフロー<sup>11)</sup>を示す。通常のウエハプロセスでデバイスが完了したウエハに対して、まずデバイス側の面に①貫通電極用のブラインドビア形成、②ビアの内壁に絶縁膜形成、③ビア内にシード層を介して Cu 電極を充填、④Cu 再配線を残し平坦化、⑤ウエハを支持体に貼り付け、⑥ウエハ裏面をチップ厚 55 $\mu\text{m}$

\*原稿受付 平成 23 年 9 月 22 日

\*\*正員 株式会社日立製作所 Member, Hitachi, Ltd.



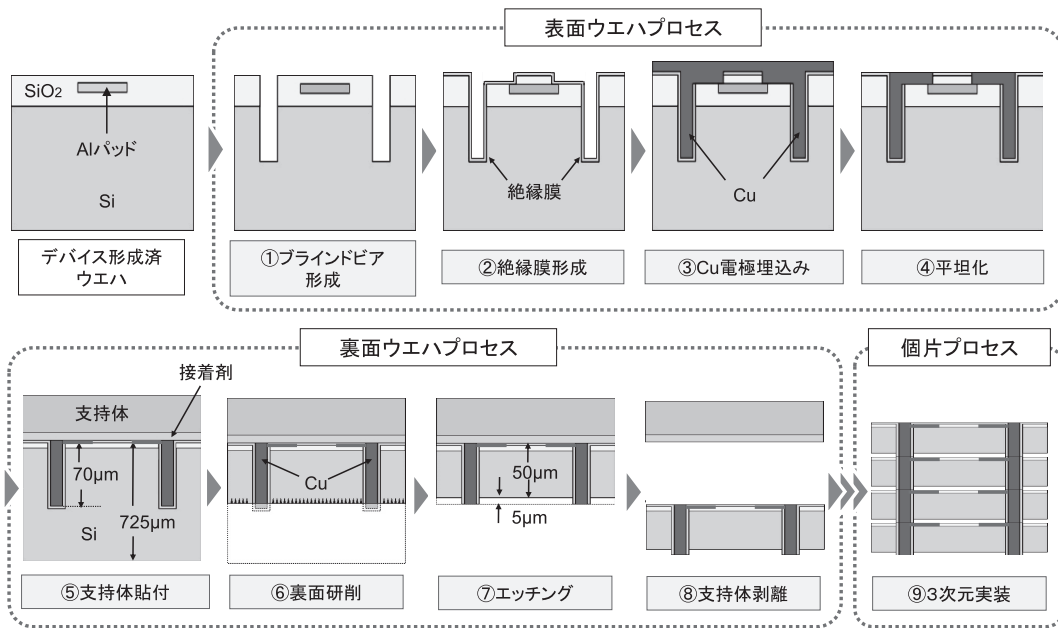


図4 3次元実装のプロセスフロー

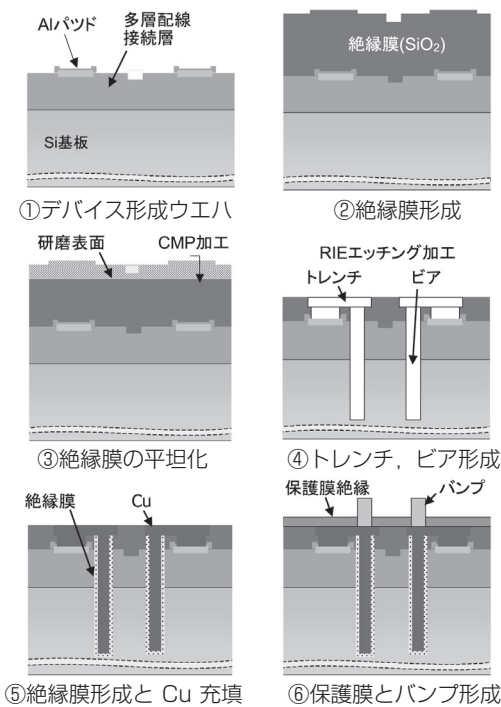


図5 ウエハ表側加工プロセス

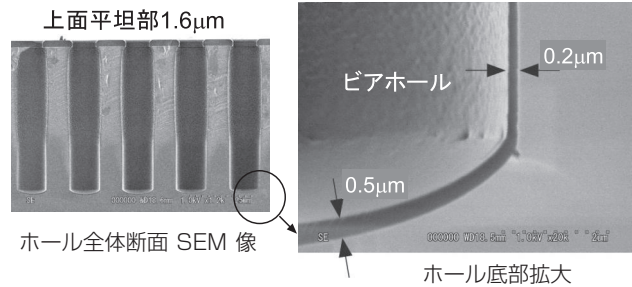
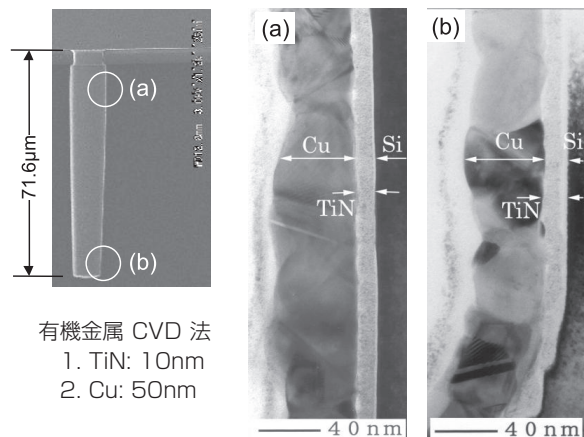


図6 ビア底部の P-TEOS カバレッジ



有機金属 CVD 法  
1. TiN: 10nm  
2. Cu: 50nm

図7 Cu/TiN-CVD のビアホール内のカバレッジ

いる。SiO<sub>2</sub> 絶縁膜形成後に、パッド開口部の凹みや Al 配線の凸部を CMP 加工で平坦化している。

工程④のトレンチ及び Si ビア形成は、ホトレジストをマスクにして SiO<sub>2</sub> 膜にトレンチとビアのパターンを 2 工程の SF<sub>6</sub> ガスによる反応性イオンエッチング (RIE: Reactive Ion Etching) で形成する。次に耐エッチング性の高い SiO<sub>2</sub> 膜をマスクにして、深孔の Si ビアを同じ RIE でエッチングする。アスペクト比が高い異方性エッチングでは側壁に保護膜を形成しながら低面をエッチングする。そのため、ビア開口後に側壁に形成された C-F 系ポリマーの保護膜残渣を洗浄する。

ビア形成後に、Cu 貫通電極と Si 基板を絶縁するため、

ビア側壁への SiO<sub>2</sub> 絶縁膜を TEOS (Tetraethoxysilane) と O<sub>2</sub> をソースガスとしたプラズマ CVD で形成する (図 6)。このとき、デバイスウエハの Al パッド上に形成された絶縁膜は再配線との接続のためエッチング除去が必要で、選択エッチのためウエハによってはドライフィルムレジストを使ったマスクエッチングを行う。また、レジスト除去後は残渣処理のため、低酸素プラズマによるアッシング処理が必要である。その後、Cu の Si 中への拡散を防止する TiN バリアメタル層 (10 nm)、及び Cu 電気めっきの

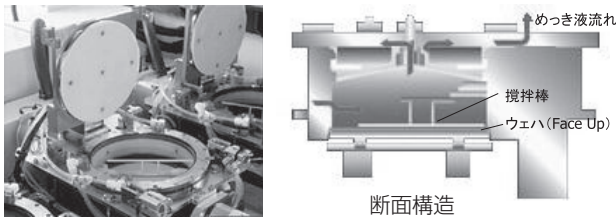


図8 ウエハめっき装置

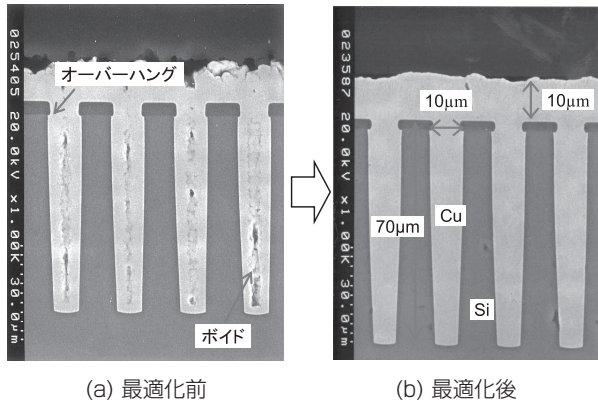


図9 Cuめっき貫通電極断面

ためのCuシード層(150nm)をCVDで形成する(図7)。ビア内へのCuの埋め込みは、生産性の観点から電解めっき<sup>14, 15)</sup>を用いる。ビアは片側が閉じた構造で開口部が7~10 $\mu\text{m}$ 角でアスペクト比が6~7と高い。このため、ビア内にポイドを生じることなくCuで完全充填するには、添加材によるめっきの促進と抑制を底部と上部で制御し、底部からめっきが成長していくボトムアッププロセスが必須である。またビア内部のめっきには、Cuイオンの安定した供給が不可欠で、めっき速度の最適化やめっき液の攪拌条件の最適化が重要である。図8にめっき装置、図9に最適化した条件でのCu電極の埋め込み状態を示す。貫通電極用ビアのCu穴埋めめっき後は、ダマシン再配線の形成のため表層のCuをCMP研削する。ビア内のポイドフリー化のため、ウエハ表面のCuの堆積は10 $\mu\text{m}$ と厚くなっている。Cu-CMP<sup>15, 16)</sup>は研磨の高速性と、電極上のパンプ形成のためディッシング性(Cu電極が周囲の絶縁膜より過剰に削られる現象)の小さいことが要求される。1つの選択肢として高速CuスラリーによるCuの高加圧研磨と低加圧研磨を行った後に、ディッシング形状改善のためバリアスラリーによるTEOS研磨を行う方法が有効である。貫通電極上のパンプ形成は、材質がチップ積層プロセスと関連してCu/SnとAuの場合があるが、いずれも電気めっきで形成している。

### 3.2 ウエハ裏面処理プロセス

チップ薄型化のためのウエハ裏面処理プロセスを図10に示す。ウエハのハンドリングのための支持体貼付け、ウエハ裏面の研削及び研磨による薄型化、ウエハ裏面のSiエッチングとSiN絶縁膜形成、電極上のSiN絶縁膜のCMP除去、積層接合に適したパンプ電極形成、支持体とウエハの剥離工程から成る。

支持体へのウエハ貼り付け<sup>17)</sup>には工程後のウエハ剥離を

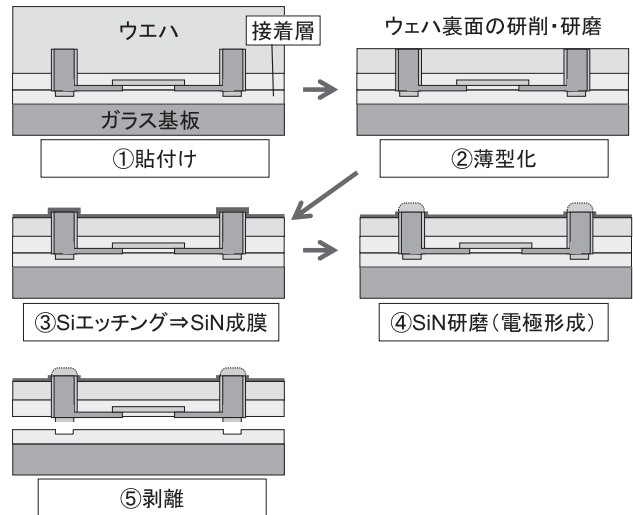


図10 ウエハ薄型化プロセス

考慮してUV硬化型の両面テープを使い、支持体にはUV透過性をもつガラス基板を用いている。両面テープのウエハ側の粘着層は、ウエハ表面に形成された積層接合用のパンプの凹凸を吸収できる厚さが必要である。貼り付け作業では、支持体への搭載精度と接着面のポイドフリー化及びウエハの平坦性確保が重要で、真空中で加熱しながら平行平板で高い圧力を加えるプロセスで行っている。薄型化は、最終チップ厚50 $\mu\text{m}$ に対して初期ウエハ厚から57 $\mu\text{m}$ までレジンボンド砥石による2段階の研削を行い、さらに研削によるSiダメージ除去と面粗さ低減のため2 $\mu\text{m}$ の研磨処理を行っている。研削及び研磨時の最大の懸念点は、SiとCu貫通電極が混在する薄型化したウエハのクラックであるが、支持体への欠陥の無い強固な接着を行うことで回避可能である。また、裏面研磨後のSi上へのマクロなCuの付着は、仕上げにCu-CMPを行うことで除去できる。

研磨処理でCu貫通電極が露出したウエハに対して、微小なSiダメージの除去及びCu電極のプラグ出し、微量なCu汚染の除去を目的として、裏面Siの5 $\mu\text{m}$ のドライエッチング処理を行う。Cu電極とSi基板の絶縁確保のため、側面のSiO<sub>2</sub>絶縁膜が残るエッチングプロセスとする必要があり、SF<sub>6</sub>ガスを使ったマグネトロンRIE型エッチング方式を採用している。これは異方性の強いエッチングであるため側面からのエッチングがほとんど進行せず、形状的な効果で側壁のSiO<sub>2</sub>を残すことが可能である。エッチング工程ではウエハがプラズママイオン衝撃によって加熱されるため、支持体に貼り付けている接着剤への影響が懸念される。これを避けるため、静電チャックで保持された支持板付きウエハを下部よりHeで冷却している。SF<sub>6</sub>ガスによるエッチング終了後は、Si面への再付着物を除去する目的でAr/O<sub>2</sub>によるプラズマ処理を短時間行っている。

積層接合のための電極構造を裏面に形成するため、裏面全面への絶縁膜の形成と電極部分の絶縁膜開口及びパンプ形成を行う。Cu汚染の無い状態でSi裏面のエッチングによるCu電極のプラグ出しを行った後、裏面にSiN絶縁膜を形成する。SiNはCuとの密着性と絶縁膜のCMPに

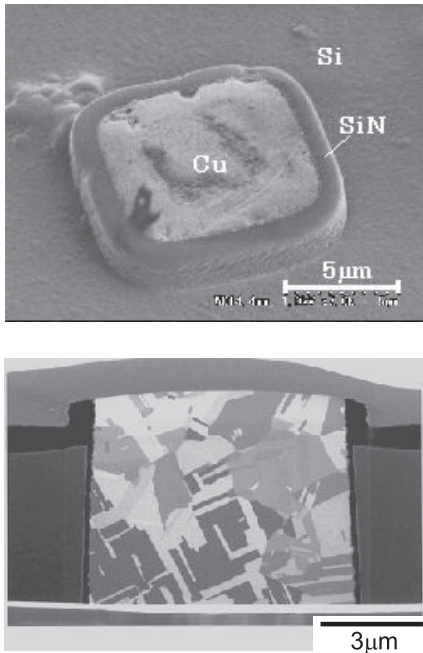


図11 CMP後の裏面Cu突起電極SEM観察結果

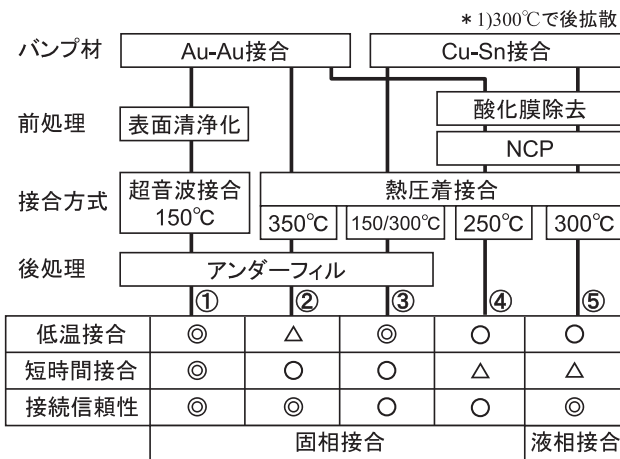


図12 微細バンブ接続工法とその特徴

よる開口性の点で優れる。成膜プロセスは、最も低温化が可能なICP (Inductively Coupled Plasma) 放電方式プラズマCVD装置を用い、 $SiH_4/N_2$ ガスを供給してウエハ表面温度75°Cで1.5µm厚さのSiN膜を形成している。RF (Radio Frequency) パワーを下げず静電チャックからの冷却としたことで、絶縁特性に優れた緻密な膜の形成が可能となった。また、本プロセスはCu電極プラグ側面のカバレッジも良好である。図11は、Cu電極上に形成されたSiN絶縁膜をCMPにより除去した後の、突起状のCu電極外観を示す。接続用の微小バンブはCu電極上に形成するが、接合工法によってAu, Ni/Au, Cu/Sn合金をめっきで形成する場合、バンブ無しの場合がある。

バンブ形成後はウエハ裏面にダイシングテープを接着して支持体から剥離し、デバイス形成側からダイシングを行って個片化する。別法として先に貫通電極を位置マークとして裏面からダイシングし、ダイシングテープを接着して支持体から剥離する個片化も可能である。後者は、ダイシング時のチャIPPINGを抑制することが重要である。剥離

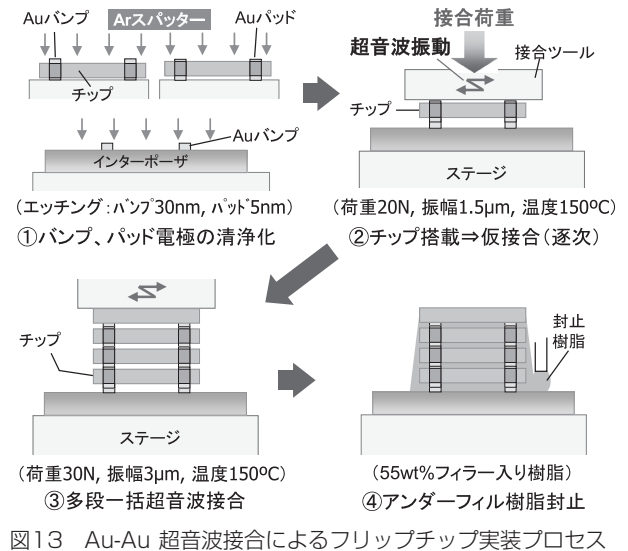


図13 Au-Au超音波接合によるフリップチップ実装プロセス

は、ガラス支持体側から紫外線を照射してテープ両面の接着層を硬化させ、接着力を弱くして剥離する。ウエハの場合は接着面積が広い一気の剥離は困難で、1ヶ所に剥離の起点を形成しそこから順に剥離領域を拡大する方法を採る。

3.3 チップ積層プロセス

チップの積層実装は、20µmピッチで数千ピンの微細バンブ端子を一括接続可能でかつ高い信頼性が得られるプロセスとする必要がある。その接続工法としてAuバンブによる超音波接合や熱圧着接合、Snの薄膜を利用したCuバンブの熱圧着接合が挙げられる。いずれの接続法も20µmピッチの微小バンブによる薄チップの多段積層であるため、搭載精度は±2µm以下が要求される。また、バンブ端子間の短絡を防ぐためにチップ間隙を絶縁樹脂で封止する必要がある。その封止工法として先塗布タイプのNCP (Non Conductive Paste) 工法と、後から充填するアンダーフィル工法がある。図12に各接続工法と封止工法の組み合わせと特徴を示す。この中で有力なプロセスは、低温・短時間で金属接合が可能な超音波接合とアンダーフィル工法の組み合わせと、チップ損傷が無いプロセスで金属接合可能な300°CのCu-Sn熱圧着接合と狭ギャップへの樹脂封止が確実に行えるNCP工法の組み合わせである。

1) Au-Au超音波接合

超音波接合は、多ピンのAu-Auフリップチップ実装において接合温度の低温化や短時間化が可能で、かつ多段のチップを一括で接合できる利点がある。ただしチップに損傷を与えない低パワー条件で確実な金属接合を得るためには、Au接合表面の高い清浄性<sup>18)</sup>が要求される。このため、接合面を液状の樹脂で覆う先塗布のNCP工法とは併用できず、封止樹脂を接合後に充填するアンダーフィル工法との組み合わせとなる。図13に、超音波接合によるフリップチップ実装プロセス<sup>19, 20)</sup>を示す。①インターポザとチップの接合面を事前にArスパッタにより清浄化処理し、②先に搭載したチップが位置ずれしないように弱い超音波で仮接合しながらチップを4段に積層し、③接合荷重と超音波出力を上げて各層を同時に接合し、④最後にアン

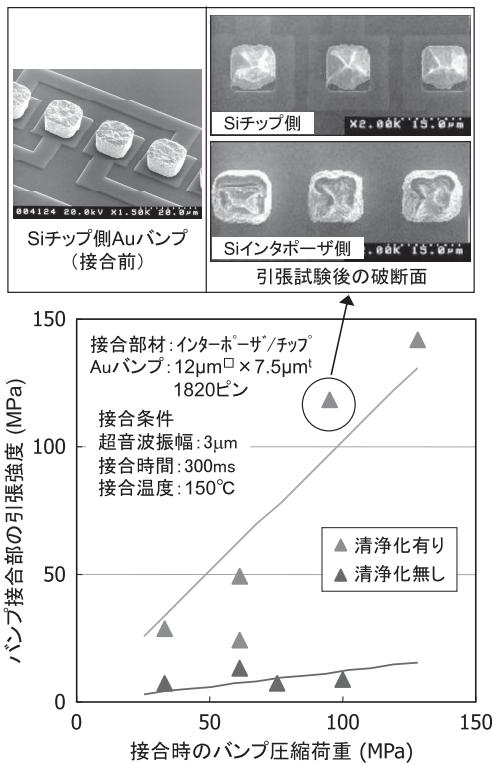


図14 Au パンプの超音波フリップチップ接合強度と破断モード

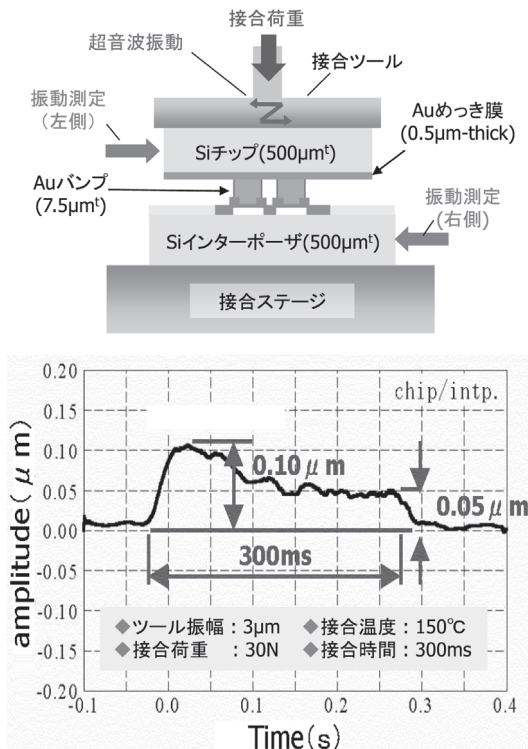
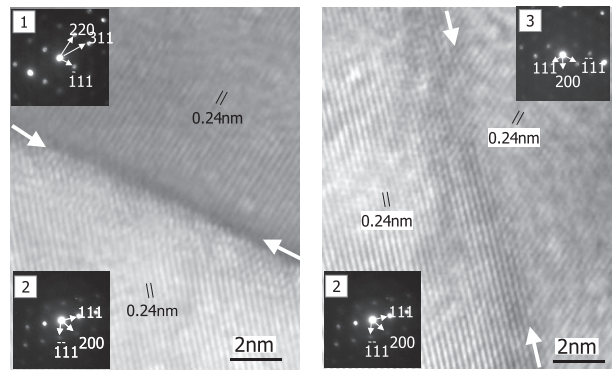


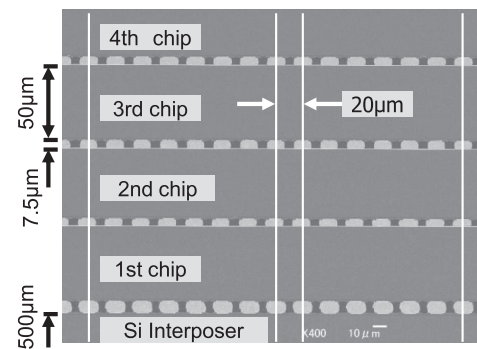
図15 超音波接合中のチップとインターポーザの相対振幅

ダーフイルを側面より充填して組立を完了する。図14に Au パンプ接合部の引張強度と破断モードを示す。12μm 角で1844ピンの微細な Au パンプを形成した Si チップと Au 蒸着膜を形成した Si インターポーザ基板の接合結果である。超音波振幅 3μm、接合温度 150℃ の条件で、接合強度 100 MPa 以上、破断位置が Au パンプ内となる良好な接合が達成されている。図15は、チップとインターポー

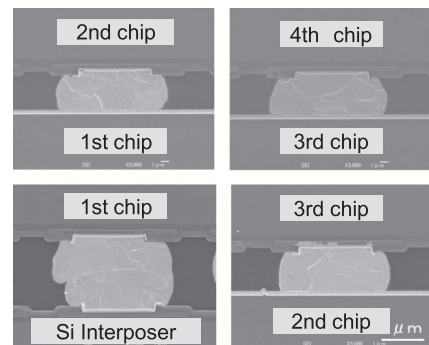


(a) 接合界面 (b) パンプ内結晶粒界

図16 Au パンプ接合界面と結晶粒界の TEM 像



(a) 4段チップ積層状態



(b) パンプ変形状態の層数依存性

図17 4段チップ積層接合部の断面

ザ間の接合中の相対振動の変動を示す。ツール振幅が 3μm の場合でもチップとインターポーザの相対振幅は最大で 0.1μm であり、その動きは小さい。このため、接合による位置ずれはほとんど生じない。図16は、Au/Au 接合界面の TEM (Transmission Electron Microscope) 観察結果である。接合界面は格子像レベルで欠陥の無い界面を形成しており、結晶粒界に比べて電子線の透過性が低い黒っぽく見える界面領域を形成しているが、金属的に一体化した良好な接合状態となっている。図17は、貫通電極の無い 4 チップを積層接合した断面を示すが、各チップの搭載精度はインターポーザに対して ±2μm 以下に納まっており、多段積層においても超音波接合の位置ずれは小さく、高精度な接合が可能なが分かる。

2) Cu-Sn 熱圧着接合と封止樹脂先塗布

チップのデバイス側の Cu 貫通電極上に形成した同材

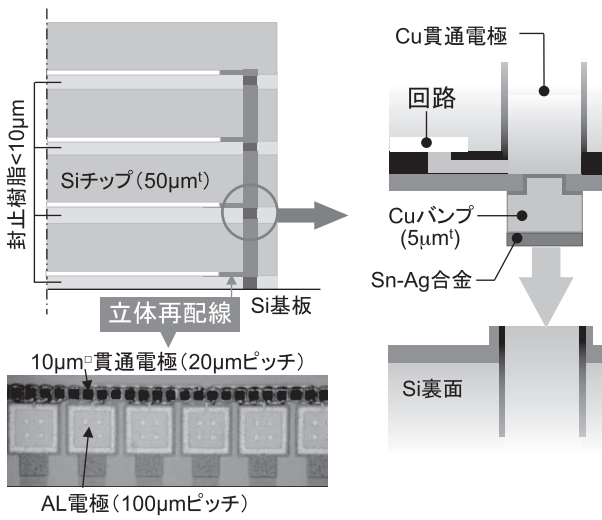


図18 3次元積層構造と貫通電極接続イメージ

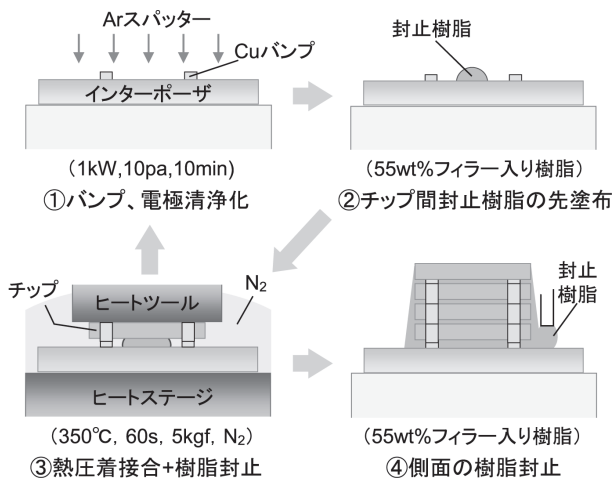


図19 Cu-Sn 熱圧着方式の3次元実装プロセス

質のCu バンプと、裏面のSiN-CMPによって露出したCu 貫通電極を接続する方法は、裏面のバンプ形成プロセスを省略できる。その実装イメージを図18に示す。低融点のSn-Ag合金を利用すれば、液相の介在によって低荷重条件で確実な金属接合部が得られる。ただしバンプピッチが20μmで間隔が狭いため、押し出された液相により短絡の可能性が高い。このため、5μm高さのCuバンプ上に形成するSn-2.5Ag膜厚を1.5μmと薄くして、形成される液相の量を制限している。また、Cuバンプ接合部に柔らかいSn-Ag層が残るとその層に歪が集中して信頼性の低下要因になる。このため、接合部を全て剛性の高い金属間化合物にする必要がある。Cu-Sn圧着接合による多段積層プロセス<sup>20)</sup>を図19に示す。チップ間隙が5μmと狭いため確実に樹脂充填が可能な先塗布方式とし、樹脂封止と電極接合を同時に行う逐次積層方式<sup>2,3)</sup>としている。一括積層としていないのは、積層加圧時に液状樹脂で挟まれたチップの移動により位置ずれが問題となるためである。組立工程は、①バンプとCu電極表面の酸化皮膜をArスパッタで清浄化、②インターポーザ基板の上にNCPの広がりを見越したディスペンス・パターンで微量塗布、③アライメントしたチップをインターポーザ基板に搭載してNCPを押

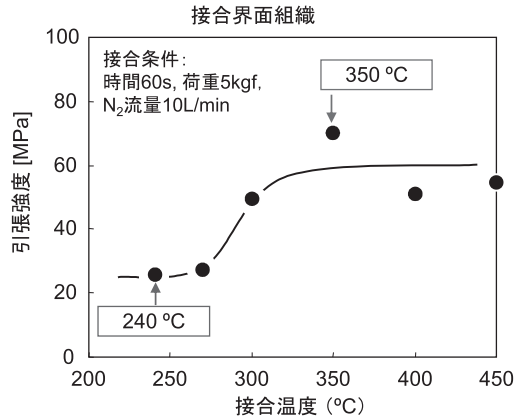
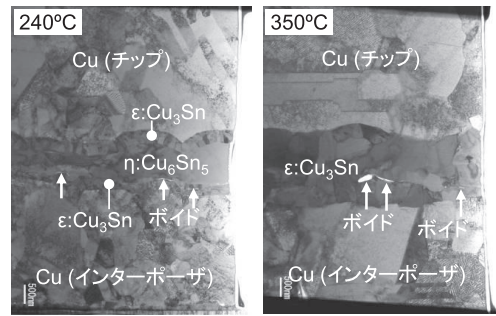


図20 接合強度の接合温度依存性と各接合温度での接合界面組織

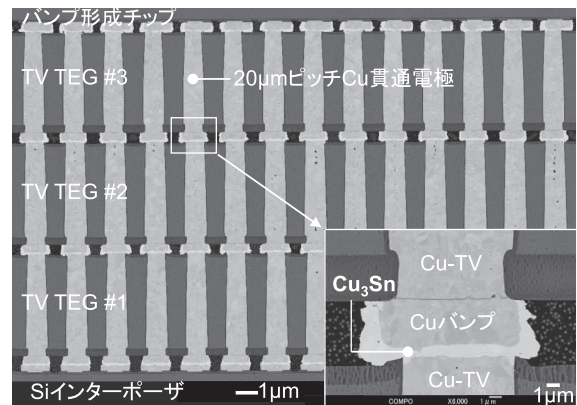


図21 3次元チップ積層とCuバンプ接続部

し広げながらバンプを接地し、パルスヒート方式でヒート・ステージとヒート・ツールを加熱して低融点のSn-Agを熔融させてCuバンプを接合、同時にCuをSn中に拡散させてCu-Sn化合物を形成して高融点化、同時にNCPの硬化、の工程をチップ積層枚数分繰り返す。最後に④チップ側面を樹脂封止して組立を完了する。このプロセスでのNCP充填領域はチップ中央領域に留め、バンプ領域から外周は最後の工程で樹脂封止する方式として、樹脂充填性とCu-Sn接合の確実性を上げている。図20は、接合温度と強度の関係及び240°Cと350°Cの接合界面組織を示す。240°CではCuバンプ接合界面にCu<sub>6</sub>Sn<sub>5</sub>とCu<sub>3</sub>Snの化合物層が残りが多くボイドが多いこともあって破断強度が低い。強度的な観点から全てCu<sub>3</sub>Sn化合物層とすることが望ましく、接合条件として接合温度300°C以上が適する。図21は、20μmピッチの貫通電極を形成したチップを350°C-60sの加熱条件で積層実装した断面構造を示す。接合層は全てCu<sub>3</sub>Sn化合物となっている。

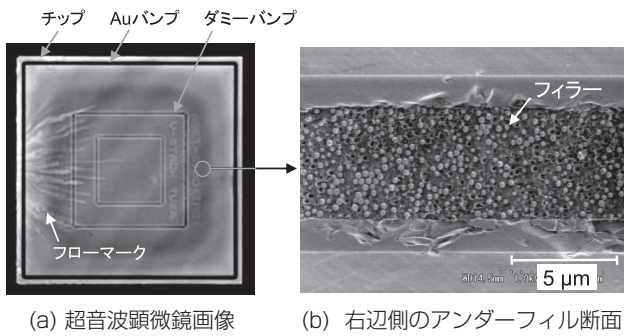


図22 チップ間隙 5 $\mu$ m へのアンダーフィル充填結果

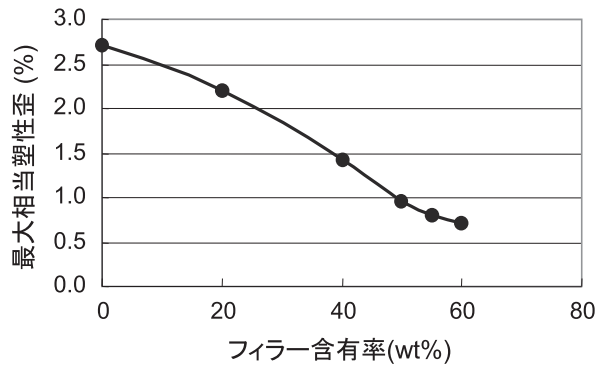


図24 バンプ接合部の相当塑性ひずみ範囲分布

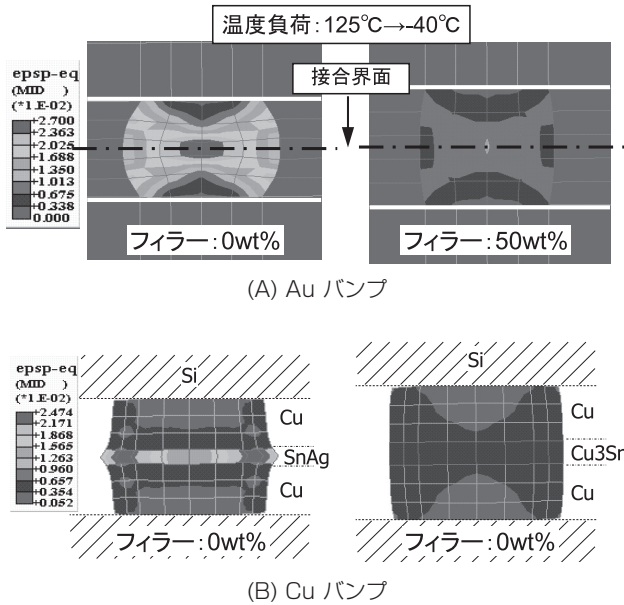


図23 Cu 及び Au バンプ接合部の相当塑性歪範囲分布

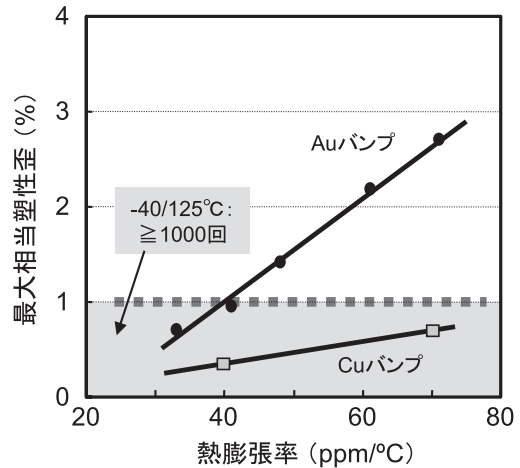


図25 アンダーフィル樹脂の熱膨張率とバンプの最大相当塑性歪の関係

### 3) アンダーフィル封止

アンダーフィル封止は、4チップを積層実装した側面から封止樹脂を注入して充填する。チップ周辺に配置した端子間ピッチが20 $\mu$ mでAuバンプ間隙が8 $\mu$ m、積層したチップ間隙が10 $\mu$ mと狭いため、樹脂の注入性が悪い。このため、アンダーフィル樹脂は狭い間隙をスムーズに流動するため低粘度特性が求められる。また、樹脂の注入工程で発生するボイドに関して、バンプ間を樹脂で封止して絶縁を確保するため、ボイド欠陥サイズを8 $\mu$ m以下とする必要がある。一方、信頼性の観点から、封止樹脂にはバンプに近い低熱膨張率が求められ、無機フィラーの充填が必須である。フィラー含有量は低熱膨張化のために多い方がよいが、粘度の上昇によって流動性が低下するため5 $\mu$ m間隙に充填可能な50Vol%としている。熱膨張率は41 ppm/Kで、微細間隙充填性を確保するためフィラーの平均粒径を0.3 $\mu$ m以下、最大粒径を0.35 $\mu$ m以下<sup>22, 23)</sup>としている。ボイド対策には、樹脂封止工程に真空ディスペンス方式を採用している。図22は、Siインターポーザと10mm<sup>2</sup>のSiチップをAuバンプで圧着したサンプルに、左側の1辺からアンダーフィル樹脂を供給・充填したサンプルの超音波画像と断面SEM像を示す。Auバンプは20 $\mu$ mピッチでチップ周辺に1844ヶが配置され、中央に

564ヶと964ヶの2列のダミーバンプが形成されている。樹脂供給の反対側にフローマーク（樹脂の流れに起因した模様）が形成されているが、全面に樹脂が充填され0.3 $\mu$ mのフィラーも沈降は無く均一に分散している。フローマークはフィラーの充填率のムラによると考えられるが、断面観察で明瞭な有意差は確認できていない。

## 4. 信頼性

3次元積層モジュールでは構成するSi、バンプ、封止樹脂の線膨張係数の相違により熱応力が発生する。特に、50 $\mu$ m厚さのSiチップ積層構造ではバンプ接続部とその周辺に高い熱応力が発生する。図23に、125 $^{\circ}$ Cから-40 $^{\circ}$ Cに冷却したときの物性の異なるAuバンプとCuバンプ接合部の応力解析結果を示す。樹脂の熱収縮によってチップ間隙が縮まりAuバンプ中央に最大の熱歪が発生し、封止樹脂にフィラーを充填することで熱歪の値を低減できている。Cuバンプの場合に、接合界面に柔らかいSn-Ag層が残ると高い熱歪が生じるが、接合層を剛性の高いCu<sub>3</sub>Sn化合物とすることで熱歪が低減できることが分かる。図24に、封止樹脂の熱膨張率と各バンプ内に発生する最大相当塑性歪の関係を示す。温度サイクル試験で1000回以上の寿命が得られる相当塑性歪は約1%であったことから、材質として柔らかいAuバンプの場合にはフィラー含有量

50%以上の樹脂を使う必要があり、剛性が高いCuバンプの場合には化合物の接合層とすることでフィラー無しの封止樹脂を使うことが可能と言える。

## 5. 終わりに

3次元積層実装において貫通電極による接続方式は、チップ単位で積層するかウエハで積層するかは積層するデバイスに依存するが、電子機器の高速化や小型化という点で最も優れた方式である。従来のLSI製造の前工程と完成したチップを実装する後工程の境がなくなり、ウエハ加工段階から実装工程を見通した構造設計や製造プロセスとする必要があり、コストを含め全体を見渡した最適設計が求められる。3次元積層実装は、現段階では製造コストの点で特殊な用途に限られるが、従来構造では小型・高集積に限界があり近い将来急速に3次元積層実装に移行していくものと思われる。本稿では、キー技術となる貫通電極形成、ウエハの薄型化、チップ積層接続を中心に代表的な方式について紹介したが、今後の3次元積層実装の実用化に向けて、少しでも参考になれば幸いである。

## 謝 辞

ここで紹介した技術成果は、独立行政法人新エネルギー・産業技術総合開発機構(NEDO)の委託業務の結果得られたものです。

## 参考文献

- 1) 栗田洋一郎：LSI 3次元実装技術の最新動向，情報処理，Vol.50, No.7, pp659-671, (2009. 7).
- 2) 畑田賢造：高機能化する半導体パッケージング技術-SiP, PoP, 3次元実装技術の変遷と今後の課題，エレクトロニクス実装技術，Vol.24, No.12, pp36-44, (2008. 11).
- 3) ASET, 新エネルギー・産業技術総合開発機構委託事業「超高密度電子SI技術の研究開発 エネルギー使用合理技術開発」平成11年度成果報告書，2000.
- 4) ASET, 新エネルギー・産業技術総合開発機構委託事業「超高密度電子SI技術の研究開発 エネルギー使用合理技術開発」平成12年度成果報告書，2001.
- 5) ASET, 新エネルギー・産業技術総合開発機構委託事業「超高密度電子SI技術の研究開発 エネルギー使用合理技術開発」平成13年度成果報告書，2002.
- 6) ASET, 新エネルギー・産業技術総合開発機構委託事業「超高密度電子SI技術の研究開発 エネルギー使用合理技術開発」平成14年度成果報告書，2003.
- 7) ASET, 新エネルギー・産業技術総合開発機構委託事業「超高密度電子SI技術の研究開発 エネルギー使用合理技術開発」平成15年度成果報告書，2004.
- 8) T. Imoto, et al.: Development of 3-Dimensional Module Package -- System Block Module, Pro. 51<sup>st</sup> Electron. Components Technol. Conf., pp. 552-557, (2001. 5-6).
- 9) 米村均, 高橋健司：3次元チップ積層技術の開発, 半導体・集積回路技術シンポジウム講演論文集, Vol.61<sup>st</sup>, pp6-12, (2001. 12).
- 10) 田中徹, 福島誉史, 小柳光正：3次元実装技術とスーパーチップインテグレーション, 電子情報通信学会技術研究報告, Vol.106, No.467, pp61-65, (2007. 1).
- 11) 高橋健司：三次元実装技術による高密度実装, 半導体・集積回路技術シンポジウム講演論文集, Vol.66<sup>th</sup>, pp26-29, (2004. 6).
- 12) 盆子原学, 高橋健司, 石野正和：SiP技術と三次元実装技術の動向と将来, 電子情報通信学会誌C, Vol.J87C, No.11, pp791-801, (2004. 11).
- 13) 富阪学, 星野雅孝, 米村均, 高橋健司：3次元実装に用いるチップ貫通電極形成技術, デンソーテクニカルレビュー, Vol.6, No.2, pp78-84, (2001. 12).
- 14) M. Tomisaka, H. Yonemura, H. Hoshino, K. Takahashi, T. Okamura, J. J. Sun and K. Kondo: Electroplating Cu Fillings for Through-Vias for Three-Dimensional Chip Stacking, Pro. 52<sup>nd</sup> Electron. Components Technol. Conf., pp1432-1438, (2002. 5).
- 15) 高橋健司, 田口裕一, 星野雅孝, 谷田一真, 梅本光雄, 米澤稔浩, 近藤和夫：貫通電極型三次元実装の低コスト化技術開発, 電子情報通信学会論文誌C, Vol.J87-C, No.11, pp810-819, (2001. 11).
- 16) Y. Taguchi, M. Hoshino, K. Takahashi: High-Speed Cu-CMP for Three-dimensional Chip Stacking with Si Through-via, Ext. Abst. Adv. Metallization Conf. 2003, pp50-51, (2003. 9).
- 17) 上野光生, 江川良実, 藤井智徳, 根元義彦, 高橋健司, 永元公市：硬質支持体を用いた薄型ウエハの支持技術の開発, 第18回エレクトロニクス実装学術講演大会論文集, pp71-72, (2004. 3).
- 18) 梶原良一, 富田至洋, 森藤忠洋, 高橋健司：AuめっきバンプによるSi on Si構造の超音波フリップチップ接合特性, 第15回エレクトロニクス実装学術講演大会論文集, pp43-44, (2001. 3).
- 19) Y. Akiyama, R. Kajiwara, N. Tanaka, K. Tanida, M. Umamoto, Y. Tomita, M. Tago, K. Takahashi: Superfine Pitch Ultrasonic Bonding Technology on 3D Stacked LSI, 2003 Int. Conf. Electron. Packaging Proc. pp326-331, (2003. 4).
- 20) 秋山雪治, 梶原良一, 田中直敬, 谷田一真, 梅本光雄, 高橋健司, 3次元積層LSIにおける超微細ピッチ超音波接合技術, 10<sup>th</sup> Symposium on "Microjoining and Assembly Technology in Electronics", Vol.10, pp283-288, (2004. 2).
- 21) Y. Tomita, T. Morifuji, T. Ando, M. Tago, R. Kajiwara, Y. Nemoto, T. Fujii, T. Sato, K. Takahashi: Micro Bump Interconnections and Encapsulation Technologies on 3D Stacked LSI, Proc. 51<sup>st</sup> Electron. Components Technol. Conf. (ECTC 2001), Orlando, FL, USA, May. 2001, pp. 353-360.
- 22) M. Umamoto, K. Tanida, Y. Tomita, T. Ando, K. Takahashi, "Non-metallurgical Bonding Technology with super-narrow Gap for 3D Stacked LSI, Proc. The 4th Electron. Packaging Technol. Conf. (EPTC 2002), Singapore, December. 2002, pp. 285-288.
- 23) M. Umamoto, Y. Tomita, T. Morifuji, T. Ando, T. Sato, K. Takahashi: Super-fine Flip-Chip Interconnection in 20 $\mu$ m-Pitch Utilizing Reliable Micro-thin Underfill Technology for 3D Stacked LSI, Proc. 52<sup>nd</sup> Electron. Components and Technol. Conf. (ECTC2002), pp1454-1459, (2002. 5).